

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-222325
(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

G05D 3/12
G05B 11/36
G11B 7/09
G11B 21/10

(21)Application number : 2000-030797

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.02.2000

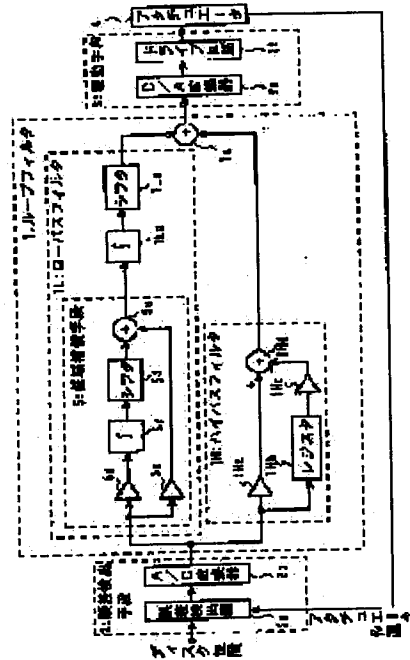
(72)Inventor : KANEAKI TETSUHIKO
KONO KAZUHIKO
MORITA SHUJI

(54) POSITION CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a position controller constituting a loop filter having frequency response characteristic for reducing a frequency band showing phase delay and increasing a gain in a low frequency band while using a filter whose order is low as much as possible.

SOLUTION: A loop filter 1 is composed of a low pass filter 1L and a high pass filter 1H connected in parallel. The low pass filter 1L includes a low band compensating means 5 being a primary digital filter in the pre-stage of an integrator 1La being a primary digital filter. In the low band compensating means 5, the gain is made relatively larger in a low band frequency band than a prescribed frequency band, and phase delay is made relatively larger only in the frequency band.



LEGAL STATUS

[Date of request for examination] 04.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3696025

[Date of registration] 08.07.2005

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-222325
(P2001-222325A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 5 D 3/12	3 0 5	C 0 5 D 3/12	3 0 5 Z 5 D 0 9 6
			W 5 D 1 1 8
G 0 5 B 11/36		C 0 5 B 11/36	C 5 H 0 0 4
	5 0 1		5 0 1 E 5 H 3 0 3
G 1 1 B 7/09		C 1 1 B 7/09	A
審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2000-30797(P2000-30797)

(22) 出願日 平成12年2月8日 (2000.2.8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 金秋 哲彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 甲野 和彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

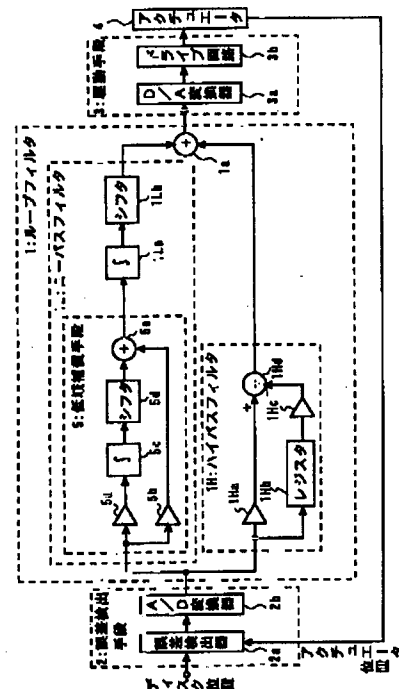
最終頁に続く

(54) 【発明の名称】 位置制御装置

(57) 【要約】

【課題】 できるだけ低い次数のフィルタを用いながら、位相遅れを示す周波数帯域を狭く抑え、低周波数帯域での利得が高い周波数応答特性を有するループフィルタを構成した位置制御装置を提供する。

【解決手段】 ループフィルタ1が、並列に接続されたローパスフィルタ1Lとハイパスフィルタ1Hとから構成される。ローパスフィルタ1Lは、一次のデジタルフィルタである積分器1Laの前段に、一次のデジタルフィルタである低域補償手段5を含む。低域補償手段5では、利得が所定の周波数よりも低周波数帯域において比較的大きく、また、位相遅れがその周波数帯域においてのみ比較的大きい。



【特許請求の範囲】

【請求項1】 (A) 位置制御対象の実際の位置と制御目標位置との誤差を検出する誤差検出器と、前記誤差検出器が検出した誤差をアナログ信号からデジタル信号へ変換して出力するアナログ・デジタル変換器と、を有する誤差検出手段；

(B) (a) 前記誤差検出手段が出力する前記誤差を表すデジタル信号（以下、誤差信号という）に対して、(i) 第一の周波数よりも低周波数帯域における利得が他の周波数帯域における利得に比べ大きく、かつ、(ii) 前記第一の周波数よりも高周波数帯域における位相遅れが他の周波数帯域における位相遅れに比べ小さい、一次のデジタルフィルタである低域補償手段と、前記低域補償手段の出力する前記誤差信号を積分する積分器と、を含むローパスフィルタ、

(b) 前記誤差検出手段が出力する前記誤差信号に対して、(i) 前記第一の周波数より高い第二の周波数よりも高周波数帯域における利得が他の周波数帯域における利得に比べ大きく、かつ、(ii) 前記第二の周波数よりも高周波数帯域における位相進みが他の周波数帯域における位相進みに比べ大きい、一次のデジタルフィルタであるハイパスフィルタ、及び、

(c) 前記ローパスフィルタ及び前記ハイパスフィルタそれぞれの出力同士を加える加算器、を有するループフィルタ；並びに、

(C) 前記ループフィルタから出力される前記誤差信号をアナログ信号に変換するデジタル・アナログ変換器と、前記デジタル・アナログ変換器から出力される前記誤差信号に基づいて前記位置制御対象を駆動するドライブ回路と、を有する駆動手段；を具備する位置制御装置。

【請求項2】 前記ハイパスフィルタが、前記誤差検出手段から出力される前記誤差信号に所定の第一の定数をかけて出力する第一の乗算器、前記誤差検出手段から出力される前記誤差信号を所定の時間だけ保持した後に出力する遅延手段、前記遅延手段から出力される前記誤差信号に所定の第二の定数をかけて出力する第二の乗算器、及び、前記第一の乗算器の出力から前記第二の乗算器の出力を減じて出力する第二の加算器を有する請求項1記載の位置制御装置。

【請求項3】 前記低域補償手段が、前記誤差検出手段から出力される前記誤差信号に所定の第三の定数をかけて出力する第三の乗算器、前記誤差検出手段から出力される前記誤差信号に所定の第四の定数をかけて出力する第四の乗算器、前記第三の乗算器から出力される前記誤差信号を積分する第二の積分器、及び、前記第四の乗算器の出力と前記第二の積分器の出力とを加えて出力する第三の加算器を有する請求項1または請

求項2記載の位置制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位置制御装置に関し、特に、ハードディスク装置やコンパクトディスク（CD）プレーヤ等のアクチュエータに対するものに関する。

【0002】

【従来の技術】従来の位置制御装置には、ループフィルタが一次のフィルタのみから成るために比較的簡単な構成のものがあった。例えば、特開昭63-293614号で開示されている、CDプレーヤのフォーカスサーボ回路が知られている。それは、図4のブロック図に示されているような、アクチュエータ4に対する位置制御装置であり、ループフィルタ11、誤差検出手段2及び駆動手段3から成る。

【0003】誤差検出手段2は誤差検出器2a及びアナログ・デジタル（A/D）変換器2bより成り、次のように動作する。まず、アクチュエータ4の実際の位置（アクチュエータ位置）と目標位置（ディスク位置）とが誤差検出器2aへ入力される。誤差検出器2aは、入力されたアクチュエータ位置とディスク位置との間の誤差を検出し、検出された誤差をアナログ信号としてA/D変換器2bへ出力する。A/D変換器2bは、アナログ信号である誤差信号をデジタル信号へ変換してループフィルタ11へ出力する。

【0004】ループフィルタ11は、ローパスフィルタ11L、ハイパスフィルタ11H及び加算器11aから成る。ループフィルタ11に入力された誤差信号は、ローパスフィルタ11L及びハイパスフィルタ11Hそれぞれに入力される。そして、それぞれで以下に述べるように処理された後、加算器11aへと出力される。加算器11aは両フィルタからの誤差信号を加え合わせて、駆動手段3へと出力する。

【0005】ローパスフィルタ11Lは、加算器11La、レジスタ11Lb、及び、乗算器11Lcから成る。外部からの入力信号は加算器11Laに入力され、そこでレジスタ11Lbからフィードバックされた信号と加算される。加算器11Laの出力は、レジスタ11Lbと乗算器11Lcに入力される。レジスタ11Lbは、加算器11Laからの信号を所定の時間だけ保持した後に加算器11Laにフィードバックする。乗算器11Lcは、加算器11Laからの信号に所定の定数 K_L をかけて外部へと出力する。このように、ローパスフィルタ11Lは通常のデジタル積分器、すなわち、一次のフィルタであって、その伝達関数は $H_L(z) = K_L / (1 - z^{-1})$ である。

【0006】ハイパスフィルタ11Hは、乗算器11Ha、レジスタ11Hb、乗算器11Hc、及び、加算器11Hdから成る。外部からの入力信号は、乗算器11Ha及びレジスタ11Hbにそれぞれ入力される。乗算器11Haは入力信号に所定の定数 K_{H1} をかけて、加算器11Hdへ出力する。レジスタ11Hbは入力信号を所定の時間だけ保持した後、乗算器11Hcへ

出力する。乗算器11Hcはレジスタ11Hbの出力に所定の定数 K_{H2} をかけて加算器11Hdへ出力する。加算器11Hdは、乗算器11Haの出力から乗算器11Hcの出力を減算して外部へと出力する。この構成により、ハイパスフィルタ11Hは伝達関数 $H_H(z) = K_{H1} - K_{H2}z^{-1}$ を有する一次のフィルタである。

【0007】ループフィルタ11の伝達関数は、上記のローパスフィルタ11L及びハイパスフィルタ11Hそれぞれの伝達関数の和 $H_L(z) + H_H(z)$ である。従って、乗算器11Lc、11Ha及び11Hcが入力信号にかけるそれぞれの定数 K_L 、 K_{H1} 及び K_{H2} を調節すると、A/D変換器2bのサンプリング周波数が十分高い時、ループフィルタ11の周波数応答特性が図5のように近似される。尚、図5の横軸は周波数の対数を表す。この周波数応答特性は、周波数 ω_L より低周波数帯域ではローパスフィルタ11Lの周波数応答特性で近似される。つまり、ループフィルタ11は低周波数帯域では積分制御動作を行う。これにより、位置制御における定常偏差が補償される。また、ループフィルタ11の周波数応答特性は、周波数 ω_H より高周波数帯域ではハイパスフィルタ11Hの周波数応答特性で近似される。つまり、ループフィルタ11は高周波数帯域では位相進み補償回路として動作する。これにより、高周波数帯域での位相遅れによる位置制御の不安定性が補償される。

【0008】ループフィルタ11により以上のように処理された誤差信号が駆動手段3へと出力される。駆動手段3はデジタル・アナログ(D/A)変換器3a及びドライブ回路3bから成る。ループフィルタ11から入力された誤差信号は、D/A変換器3aによってデジタル信号からアナログ信号に変換され、ドライブ回路3bに出力される。ドライブ回路3bは、入力された誤差信号からアクチュエータ4に対する制御量を求め、その制御量だけアクチュエータ4を駆動する。このようにして、アクチュエータ位置とディスク位置とが一致するように、アクチュエータ4の位置が制御される。

【0009】

【発明が解決しようとする課題】上記のような従来の位置制御装置では、定常偏差をより良く補償するために低周波数帯域でのループフィルタ11の利得を大きくすると、ループフィルタ11の出力がより広い周波数帯域で位相遅れを示す。すると、位置制御の応答が遅くなると共に、十分に位相進み補償が行えないため位置制御が不安定になるという問題点があった。この問題点を解決するために望ましいループフィルタ11の周波数応答特性、すなわち、位相遅れを示す周波数帯域が狭く低周波数帯域での利得が高いという周波数応答特性は、ローパスフィルタ11L及びハイパスフィルタ11Hそれぞれの次数を上げれば実現できる。しかし、ループフィルタ11に比べ次数の高いフィルタの構造は複雑にならざるを得ないという問題点があった。

【0010】そこで、本発明は、できるだけ低い次数のフィルタを用いながら、位相遅れを示す周波数帯域を狭く抑え、低周波数帯域での利得が高い周波数応答特性を有するループフィルタを構成した位置制御装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の問題点を解決するために、本発明による位置制御装置は、(A) 位置制御対象の実際の位置と制御目標位置との誤差を検出する誤差検出器と、前記誤差検出器が検出した誤差をアナログ信号からデジタル信号へ変換して出力するアナログ・デジタル変換器と、を有する誤差検出手段；(B) (a) 前記誤差検出手段が出力する前記誤差を表すデジタル信号（以下、誤差信号という）に対して、(i)第一の周波数よりも低周波数帯域における利得が他の周波数帯域における利得に比べ大きく、かつ、(ii)前記第一の周波数よりも高周波数帯域における位相遅れが他の周波数帯域における位相遅れに比べ小さい、一次のデジタルフィルタである低域補償手段と、前記低域補償手段の出力する前記誤差信号を積分する積分器と、を含むローパスフィルタ、(b) 前記誤差検出手段が出力する前記誤差信号に対して、(i)前記第一の周波数より高い第二の周波数よりも高周波数帯域における利得が他の周波数帯域における利得に比べ大きく、かつ、(ii)前記第二の周波数よりも高周波数帯域における位相進みが他の周波数帯域における位相進みに比べ大きい、一次のデジタルフィルタであるハイパスフィルタ、及び、(c) 前記ローパスフィルタ及び前記ハイパスフィルタそれぞれの出力同士を加える加算器、を有するループフィルタ；並びに、(C) 前記ループフィルタから出力される前記誤差信号をアナログ信号に変換するデジタル・アナログ変換器と、前記デジタル・アナログ変換器から出力される前記誤差信号に基づいて前記位置制御対象を駆動するドライブ回路と、を有する駆動手段；を具備する。

【0012】これにより、本発明によるループフィルタの周波数応答特性は、第一の周波数よりも低周波数帯域では従来よりも大きい利得を得る一方、第一の周波数よりも高周波数帯域では従来と同様な位相を示す。従って、本発明の位置制御装置は、一次のデジタルフィルタから成るループフィルタにより、従来よりも定常偏差を良く補償する一方で、従来と同様な位置制御における安定性を維持する。

【0013】他の観点による位置制御装置では、好ましくは、前記ハイパスフィルタが、前記誤差検出手段から出力される前記誤差信号に所定の第一の定数をかけて出力する第一の乗算器、前記誤差検出手段から出力される前記誤差信号を所定の時間だけ保持した後に出力する遅延手段、前記遅延手段から出力される前記誤差信号に所定の第二の定数をかけて出力する第二の乗算器、及び、前記第一の乗算器の出力から前記第二の乗算器の出力を

減じて出力する第二の加算器を有する。これにより、上記の周波数応答特性を有するハイパスフィルタが一次のデジタルフィルタのみから、望ましい第二の周波数を有するように構成できる。特に、第一及び第二の乗算器への入力信号のビット数を、誤差検出手段の出力する誤差信号のビット数以上にする必要がない。

【0014】さらに他の観点による位置制御装置では、好ましくは、前記低域補償手段が、前記誤差検出手段から出力される前記誤差信号に所定の第三の定数をかけて出力する第三の乗算器、前記誤差検出手段から出力される前記誤差信号に所定の第四の定数をかけて出力する第四の乗算器、前記第三の乗算器から出力される前記誤差信号を積分する第二の積分器、及び、前記第四の乗算器の出力と前記第二の積分器の出力とを加えて出力する第三の加算器を有する。

【0015】これにより、上記の周波数応答特性を有するローパスフィルタが一次のデジタルフィルタのみから、望ましい第一の周波数を有するように構成できる。特に、第三及び第四の乗算器への入力信号のビット数を、誤差検出手段の出力する誤差信号のビット数以上にする必要がない。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、好ましい実施例を挙げて説明する。図1のブロック図は本発明の位置制御装置の実施例を示す。この実施例はループフィルタ1、誤差検出手段2及び駆動手段3から成る。誤差検出手段2は、図4に示した従来例同様の構成を有し、従来例同様に動作する。すなわち、入力されたアクチュエータ位置とディスク位置との差から誤差検出器2aが誤差を検出する。検出された誤差信号をA/D変換器2bがデジタル信号としてループフィルタ1へと出力する。

【0017】ループフィルタ1は、加算器1a、ローパスフィルタ1L及びハイパスフィルタ1Hから成る。誤差検出手段2から入力された誤差信号は、ローパスフィルタ1L及びハイパスフィルタ1Hにそれぞれ入力され、後述のように処理される。その後、ローパスフィルタ1L及びハイパスフィルタ1Hから出力された誤差信号は加算器1aで加えられ、駆動手段3へと出力される。駆動手段3は、図4に示した従来例同様の構成を有し、従来例同様に動作する。すなわち、入力されたデジタル信号である誤差信号をD/A変換器3aがアナログ信号に変換する。変換された誤差信号に基づいてドライブ回路3bがアクチュエータ4を駆動する。

【0018】ハイパスフィルタ1Hは、乗算器1Ha、レジスタ1Hb、乗算器1Hc、及び、加算器1Hdから成る。外部からの入力信号は、乗算器1Ha及びレジスタ1Hbにそれぞれ入力される。乗算器1Haは入力信号に所定の定数 K_{H1} をかけて、加算器1Hdへ出力する。レジスタ1Hbは入力信号を所定の時間だけ保持した後、乗算器1Hcへ出力する。

乗算器1Hcはレジスタ1Hbの出力に所定の定数 K_{H2} をかけて加算器1Hdへ出力する。加算器1Hdは、乗算器1Haの出力から乗算器1Hcの出力を減算して外部へと出力する。このように、ハイパスフィルタ1Hは、図4に示した従来例のハイパスフィルタ11Hと同じ構成を有する。つまり、ハイパスフィルタ1Hは、従来例同様、伝達関数 $H_H(z) = K_{H1} - K_{H2}z^{-1}$ を有する一次のフィルタである。その周波数応答特性は、利得については、A/D変換器2bのサンプリング周波数が十分大きければ、図2(d)の折れ線で近似できる。また、位相については図3(d)のようになる。尚、図2及び図3の各横軸は周波数の対数を表す。図2(d)の折れ線が示すように、ハイパスフィルタ1Hは、定数 K_{H1} 、 K_{H2} 及びサンプリング周波数で決まる折点Pdの周波数 ω_h まではほぼ一定の利得を保ち、それ以上の周波数になると+6dB/octの割合で利得を増加させる。また、図3(d)が示すように、ハイパスフィルタ1Hは、周波数 ω_h を超える高周波数帯域で位相を+45°よりも大きく進める。

【0019】ローパスフィルタ1Lは、積分器1La、シフタ1Lb及び低域補償手段5から成る。外部からの入力信号はまず低域補償手段5に入力され、そこで後述のように処理された後、積分器1Laへと出力される。積分器1Laに入力された信号はその入力以前に入力された信号と積分されて、シフタ1Lbに出力される。シフタ1Lbに入力された信号は所定のビット数だけビットシフトされて、すなわち、所定の定数 S_1 倍だけ増幅されて、加算器1aへと出力される。ここで、積分器1Laは通常用いられる一次のデジタルフィルタで良く、シフタ1Lbも通常のもので良い。つまり、積分器1La及びシフタ1Lbは従来例のローパスフィルタ11L(図4)に相当し、その伝達関数は $H_L(z) = S_1 / (1 - z^{-1})$ である。図2(b)及び図3(b)は積分器1La及びシフタ1Lbの周波数応答特性を合成したものを示す。図2(b)が示すように、積分器1La及びシフタ1Lbは周波数の増加に伴い-6dB/octの割合で利得を減少させる。また、図3(b)が示すように、積分器1La及びシフタ1Lbは、サンプリング周波数に対して十分低い周波数帯域で、位相を-90°に保つ。

【0020】低域補償手段5は、乗算器5a及び5b、積分器5c、シフタ5d、並びに、加算器5eから成る。外部からの入力信号は乗算器5a及び5bにそれぞれ入力される。乗算器5aは入力信号に所定の定数 K_L をかけて積分器5cへ出力する。乗算器5bは入力信号に所定の定数 K_L をかけて加算器5eへ出力する。積分器5cは通常のデジタル積分器であり、乗算器5aの出力をその入力以前に入力された信号と積分してシフタ5dへ出力する。シフタ5dは、積分器5cの出力を所定のビット数だけビットシフトして所定の定数 S_2 倍だけ増幅し、加算器5eへ出力する。加算器5eは、シフタ5d及び乗算器5bそれぞれの出力同士を加算し、積分器1Laへ出力する。

【0021】この構成により、低域補償手段5の伝達関

数は $H_{Lc}(z) = K_{Lb} + K_{La} \cdot S_2 / (1 - z^{-1})$ となる。低域補償手段5の周波数応答特性は、利得については図2(a)に示された折れ線で近似され、位相については図3(a)のようになる。図2(a)の折れ線が示すように、低域補償手段5は、定数 K_{La} 、 K_{Lb} 及び S_2 で決まる折点 Pa の周波数 ω_c までは -6dB/oct で利得を減少させ、周波数 ω_c 以上では利得を一定に保つ。また、図3(a)が示すように、低域補償手段5は、周波数 ω_c までの低周波数帯域では -45° を超える大きな位相遅れを示す一方、周波数 ω_c を超える高周波数帯域ではほぼ位相遅れを示さなくなる。従って、低域補償手段5に入力された信号は、周波数 ω_c より低い周波数帯域で大きく増幅される一方、 -45° を超えるような大きな位相遅れはその周波数帯域内に限られる。

【0022】ローパスフィルタ1Lの伝達関数は、低域補償手段5、積分器1La及びシフタ1Lbそれぞれの伝達関数をかけ合わせたもの、すなわち、 $H_{Lc}(z) \cdot H_L(z)$ となる。従って、ローパスフィルタ1Lの周波数応答特性は、図2(a)及び図3(a)が示す低域補償手段5の周波数応答特性と、図2(b)及び図3(b)が示す積分器1La及びシフタ1Lbの周波数応答特性とを加えたもの、すなわち、図2(c)及び図3(c)のようになる。図2(c)の折れ線が示すように、ローパスフィルタ1Lは折点 Pc の周波数 ω_c より低周波数帯域では -12dB/oct で、周波数 ω_c より高周波数帯域では -6dB/oct でそれぞれ利得を減少させる。また、図3(c)が示すように、ローパスフィルタ1Lは周波数 ω_c よりも低い周波数帯域では -135° を超える位相遅れを示し、周波数 ω_c を超える高周波数帯域ではほぼ -90° に一定の位相遅れを示す。

【0023】ループフィルタ1の伝達関数は、ハイパスフィルタ1Hの伝達関数 $H_H(z)$ とローパスフィルタ1Lの伝達関数 $H_{Lc}(z) \cdot H_L(z)$ との和である。従って、周波数 ω_c においてハイパスフィルタ1Hの利得 K_d (図2(d)) をローパスフィルタ1Lの利得 K_b (図2(b)) に比べて十分に小さくし、かつ、図2(d)の折点 Pd での周波数 ω_h を図2(a)の折点 Pa での周波数 ω_c より十分に高くすると、ループフィルタ1の周波数応答特性は利得については図2(e)の折れ線で近似される。この折れ線が示すように、ループフィルタ1は、周波数 ω_c より高周波数帯域では従来例のループフィルタ11(図4)と同様の利得(図5)を有する一方、周波数 ω_c 以下の低周波数帯域では -12dB/oct の割合で利得を変化させる。このため、低周波数帯域では従来よりも大きな利得を得ることができ、定常偏差を従来よりも良く補償できる。その一方で、ループフィルタ1の周波数応答特性は、位相については図3(e)のようになる。従って、従来例のループフィルタ11(図4)の位相(図5)に対する遅れの増大は、周波数 ω_c 程度よりも低周波数帯域に限られる。従って、高周波数帯域では従来同様、位相進み補償動作により位置制御を安定に保つことができる。

【0024】この実施例のループフィルタ1は、上記の

ように一次のフィルタのみで構成される。従って、同様な周波数応答特性を通常のように $Bi-Quad$ 型のデジタルフィルタで構成する場合に比べ、構成が簡単である。特に、 $Bi-Quad$ 型のデジタルフィルタでは乗算器が少なくとも五つ必要となるのに対して、本実施例のループフィルタ1では乗算器が四つあれば良い。このため、回路規模を縮小できるだけでなく、演算処理時間も短縮できる。

【0025】従来のローパスフィルタ11L(図4)では、乗算器11Lcが加算器11Laとレジスタ11Lbとから成る積分器の後段にある。この場合、信号が積分される時の丸め誤差を抑えるために、従来の乗算器11Lcは、 A/D 変換器2bからの誤差信号よりも大きいビット数の入力信号を扱う構成にならざるを得ない。一方、本発明の実施例では、ローパスフィルタ1Lの乗算器5a及び5bが積分器5c及び1Laの前段にあり、 A/D 変換器2bからの出力をそのまま入力する。従って、その入力信号のビット数は、 A/D 変換器2bの出力する誤差信号と同じビット数で良い。従って、従来の乗算器11Lcよりも回路規模を縮小できる。これは、ハイパスフィルタ1Hの乗算器1Ha及び1Hcについても同様である。

【0026】

【発明の効果】本発明の位置制御装置では、ループフィルタが、高周波数帯域では従来同様の周波数応答特性を有する一方、低周波数帯域では利得を従来より大きな -12dB/oct の割合で変化させる。これにより、高周波数帯域で従来同様制御の安定化が図れる一方、低周波数帯域では比較的軽い位置制御対象に対しても十分な利得が得られ、定常偏差を従来よりも良く補償できる。また、ループフィルタが一次のフィルタのみから成る比較的簡単な構成であり、かつ、ループフィルタが含む乗算器の数が従来よりも少ない。このため、ループフィルタの回路規模を縮小できると共に、演算処理時間を短縮できる。

【図面の簡単な説明】

【図1】本発明による位置制御装置の実施例を表すブロック図である。

【図2】本発明の実施例に含まれるループフィルタ1及びその各構成要素における、利得についての周波数応答特性を表す図である。

【図3】本発明の実施例に含まれるループフィルタ1及びその各構成要素における、位相についての周波数応答特性を表す図である。

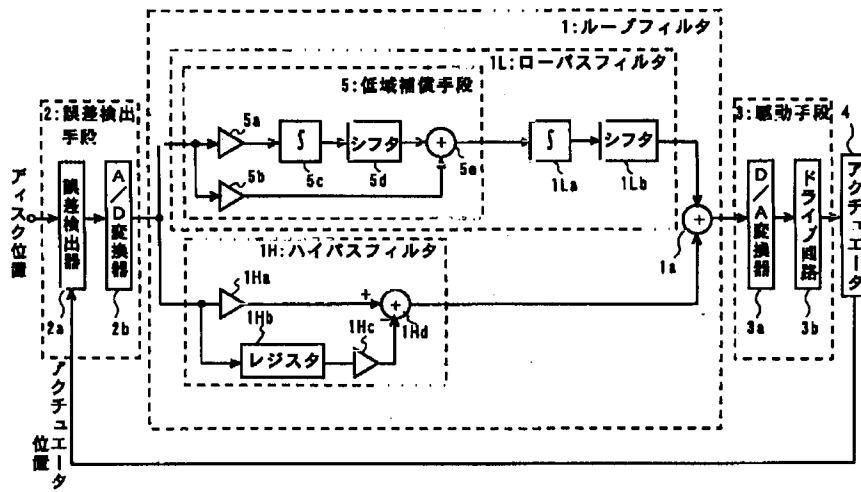
【図4】従来の位置制御装置を表すブロック図である。

【図5】従来のループフィルタ11における周波数応答特性を表す図である。

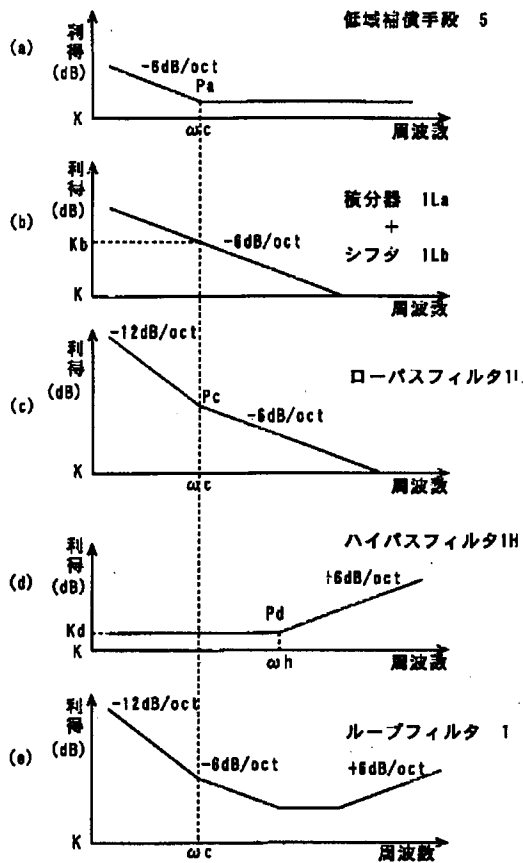
【符号の説明】

1Ha、1Hc、5a、5b、11Lc、11Ha、11Hc	乗算器
1La、5c	積分器
1a、1Hd、5e、11a、11La、11Hd	加算器

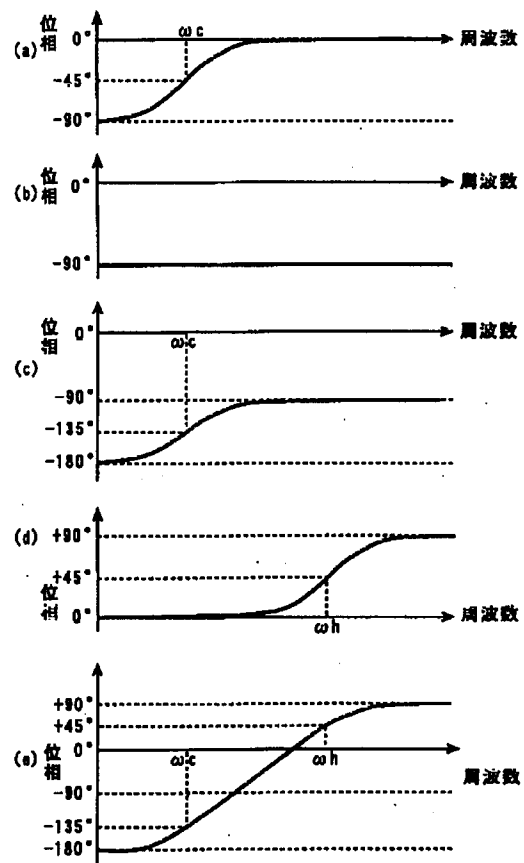
【図1】



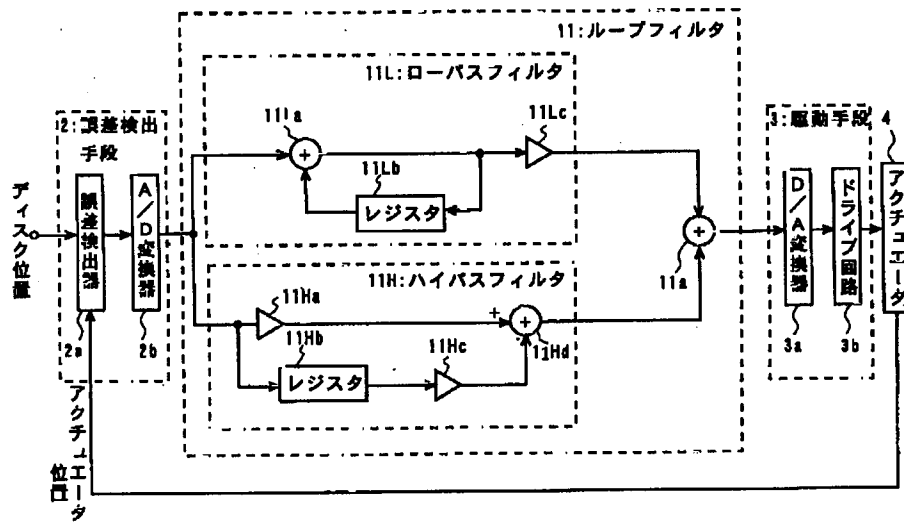
【図2】



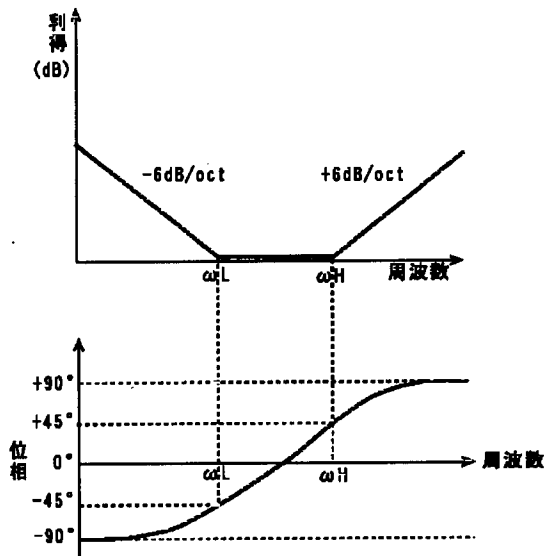
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl.⁷
G11B 21/10

識別記号

FI
G11B 21/10

(参考)

R

(72)発明者 森田 周司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5D096 RR01 RR02 RR18
5D118 AA13 BA01 CA03 CB06
5H004 GA02 GA04 GB20 HA07 HB07
JA03 KB04 KB23 KB24 KB29
MA12 MA13 MA42 MA43
5H303 AA22 BB01 BB06 CC04 DD01
FF06 HH05 KK03 KK04 KK07
MM05